

TWO-WAY THYRISTOR

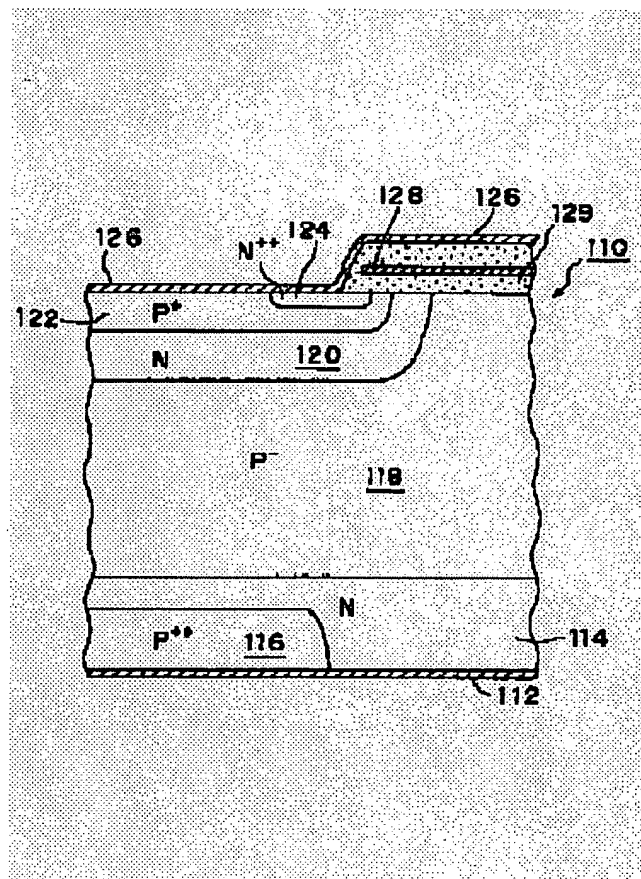
Patent number: JP8172181
Publication date: 1996-07-02
Inventor: AJIT JANARDHANAN S
Applicant: INTERNATL RECTIFIER CORP
Classification:
- International: H01L29/747; H01L29/74
- european:
Application number: JP19950172282 19950707
Priority number(s):

Also published as:

 US5483087 (A1)
 GB2292007 (A)
 FR2722335 (A1)
 DE19523172 (A1)

Abstract of JP8172181

PROBLEM TO BE SOLVED: To obtain a single MOS gate control two-way thyristor having improved turn OFF characteristics and free from parasitic thyristor.
SOLUTION: A P<+> type region 116 is formed at a part of an N base layer 114. An anode 112 touches both the N type base layer 114 and the P<+> type region 116. An N type well region 120 is located in a P<-> type substrate 118 and forms the drain of an n-channel MOSFET of a device. A P type body region 122 is located in the N type well region 120 and an N<+> type region 124 is located in the P<+> type body 122. A cathode electrode 126 covers both the P<+> type body 122 and the N<+> type source region 124 at least partially. A gate 128 is located, while being isolated from the first surface of the device through an oxide layer 129, above the P<+> type body 122, the N type well region 120 and a P<-> type epitaxial layer 118.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-172181

(43)公開日 平成8年(1996)7月2日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/747 29/74				
			H 0 1 L 29/ 74	N K F
			審査請求 未請求 請求項の数10	OL (全 16 頁)

(21)出願番号 特願平7-172282

(22)出願日 平成7年(1995)7月7日

(31)優先権主張番号 272769

(32)優先日 1994年7月8日

(33)優先権主張国 米国 (US)

(71)出願人 591107551

インターナショナル・レクチファイヤー・
コーポレーションINTERNATIONAL RECTI
FIER CORPORATIONアメリカ合衆国カリフォルニア州エル・セ
グンド、カンザス・ストリート233番

(72)発明者 ジャナルドハナン・エス・アジット

アメリカ合衆国90278カリフォルニア州レ
ドンド・ビーチ、クラーク・レイン・ナン
パー2、1916番

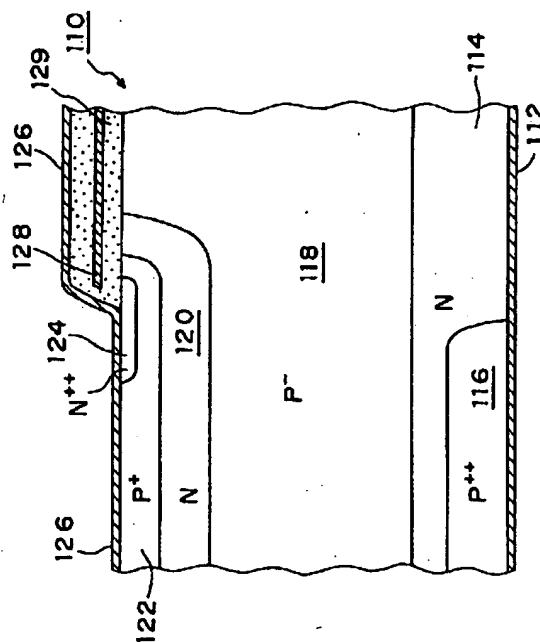
(74)代理人 弁理士 青山 葆 (外1名)

(54)【発明の名称】 双方向サイリスタ

(57)【要約】

【課題】 寄生サイリスタの無い、改善されたターンオフ特性を有する単一MOSゲート制御型双方向サイリスタを提供することである。

【解決手段】 P⁺⁺型領域116がN型ベース層114の一部に形成されている。アノード112はN型ベース層114とP⁺⁺型領域116の両方に接触する。N型ウェル領域120はP⁻型基板118内に配置され、N型ウェル領域120はデバイスのnチャネルMOSFETのドレインを形成する。P型ボディ領域122はN型ウェル領域120内に配置され、N⁺⁺型領域124はP⁺型ボディ122内に配置されている。カソード電極126はP⁺型ボディ122とN⁺⁺型ソース領域124の少なくとも一部との両方を覆う。酸化物層129でデバイスの第1の表面と絶縁されたゲート128はP型ボディ122、N型ウェル領域120およびP⁻型エピタキシャル層118の上に位置している。



1

【特許請求の範囲】

【請求項1】 MOSゲートによって制御される双方向サイリスタにおいて、

間隔をあけて配置された平行で平坦な第1および第2半導体表面を有する半導体材料のウェハであって、前記第1半導体表面から延びるウェハの厚みの少なくとも一部分は、相対的に不純物濃度の低い第1導電型の基板を含み、前記第2半導体表面から延びるウェハの厚みの少なくとも一部分は、前記第1導電型とは反対の第2導電型のベース領域を含んでいる半導体材料のウェハと、

前記相対的に不純物濃度の低い基板内に形成され、前記第1半導体表面から該第1半導体表面の下方に第1深さまで延びている前記第2導電型の少なくとも一つのウェル領域と、

前記ウェル領域内に形成され、前記第1半導体表面から該第1半導体表面の下方に前記第1深さよりも浅い第2深さまで延びている前記第1導電型の少なくとも一つのボディ領域であって、該ボディ領域が前記ウェル領域から前記第1半導体表面に沿って径方向内側に間隔をおいて配置されることにより、該ボディ領域と前記相対的に不純物濃度の低い基板との間の前記第1半導体表面に沿って第1チャンネル領域が形成されるボディ領域と、

前記ボディ領域内に形成され、前記第1半導体表面から該第1半導体表面の下方に前記第2深さよりも浅い第3深さまで延びている前記第2導電型の少なくとも一つのソース領域であって、該ソース領域が前記ウェル領域から前記第1半導体表面に沿って径方向内側に間隔をあけて配置されることにより、該ソース領域と前記ウェル領域との間の前記第1半導体表面に沿って第2チャンネル領域が形成されるソース領域と、

前記第1半導体表面に配置され、前記ボディ領域および前記ソース領域に接続された第1電極手段と、

少なくとも前記チャンネル領域の上に配置された前記第1半導体表面上のゲート絶縁層手段と、

前記ゲート絶縁層手段の上に配置され、前記チャンネル領域を覆うゲート電極手段と、

前記第2導電型の前記ベース領域内に形成され、前記第2半導体表面から延びている前記第1導電型の少なくとも一つの相対的に不純物濃度の高い領域と、

前記第2半導体表面に配置され、前記第1導電型の前記相対的に不純物濃度の高い領域と前記ベース領域とに接続された第2電極手段と、を備える双方向サイリスタ。

【請求項2】 請求項1に記載の双方向サイリスタにおいて、

前記ウェル領域内に形成された前記第1導電型の第2ボディ領域であって、前記ウェル領域の一部分によって前記相対的に不純物濃度の低い基板から間隔をあけて配置された第2ボディ領域を更に備え、前記第1電極手段は前記第2ボディ領域と前記第1ボディ領域と前記第1ボ

2

ディ領域内に形成された前記ソース領域とに接続されている双方向サイリスタ。

【請求項3】 請求項1に記載の双方向サイリスタにおいて、

前記ウェル領域内に形成された前記第1導電型の第2ボディ領域であって、前記ウェル領域の一部分によって前記相対的に不純物濃度の低い基板から間隔をあけて配置された第2ボディ領域を更に備え、前記ウェル領域は不純物濃度の相対的に高い部分と相対的に低い部分とを含むプロファイルを有し、前記第1電極手段は前記第1ボディ領域と前記第1ボディ領域内に形成された前記ソース領域とに接続されている双方向サイリスタ。

【請求項4】 請求項1に記載の双方向サイリスタにおいて、

並列接続されて対称に配置された多角形状の複数のセルであって請求項1に記載された構造を有する複数のセルを更に備え、前記第1電極手段は隣接セルのボディ領域を覆うグリッドを含む双方向サイリスタ。

【請求項5】 請求項4に記載の双方向サイリスタにおいて、

前記各セルは前記ウェル領域から間隔をあけて配置されるとともに前記第1半導体表面から延びている相対的に不純物濃度の高い拡散領域を有し、該相対的に不純物濃度の高い拡散領域は隣接セルの各々のウェル領域の間に配置されている双方向サイリスタ。

【請求項6】 請求項1に記載の双方向サイリスタにおいて、

前記相対的に不純物濃度の低い基板内に形成され前記第1半導体表面から延びている第2導電型の第2ウェル領域であって、該第2ウェル領域を前記少なくとも一つのウェル領域から間隔をあけて横方向に配置して、該間隔をあけて配置したウェルの間の前記第1半導体表面にまで前記相対的に不純物濃度の低い第1導電型の基板の一部分が達するようにした第2ウェル領域と、

前記第2ウェル領域内に形成された前記第1導電型の第2ボディ領域であって、該第2ボディ領域が前記第2ウェル領域から前記第1半導体表面に沿って径方向内側に間隔をあけて配置されることにより、前記第2ウェル領域内の前記第1半導体表面に沿って第2チャンネル領域が形成される第2ボディ領域と、

前記第1半導体表面に配置され、前記第2ボディ領域に接続された補助電極手段と、

少なくとも前記第2チャンネル領域の上と、前記間隔をあけて配置されたウェル領域の間の前記第1半導体表面にまで達する相対的に不純物濃度の低い第1導電型の基板の前記部分の上とに配置された、前記第1半導体表面上の第2ゲート絶縁層手段と、

前記第2チャンネル領域と、前記間隔をあけて配置されたウェル領域の間の前記第1半導体表面にまで達する相対的に不純物濃度の低い第1導電型の基板の前記部分とを

10

20

30

40

50

覆う、前記ゲート絶縁層手段の上の第2ゲート電極と、を有するセルであって集積化されたMOSゲート構造のターンオン・セルを更に備える双方サイリスタ。

【請求項7】 請求項1に記載の双方向サイリスタにおいて、

前記相対的に不純物濃度の低い基板内に形成された前記第1導電型の注入領域と、

前記相対的に不純物濃度の低い基板内に形成され前記第1半導体表面から延びている前記第2導電型の第2、第3および第4ウェル領域であって、該第2ウェル領域を該第3ウェル領域から間隔をあけて横方向に配置して、該間隔をあけて配置した第2および第3ウェル領域の間の前記第1半導体表面にまで前記相対的に不純物濃度の低い第1導電型の基板の一部分が達するようにするとともに該間隔をあけて配置した第2および第3ウェル領域の間に第2チャネル領域を形成するようにし、該第3ウェル領域を該第4ウェル領域から間隔をあけて横方向に配置して、両者の間の前記相対的に不純物濃度の低い第1導電型の基板に前記注入領域の一部分が接するようにし、該第4ウェル領域を該第1ウェル領域から間隔をあけて横方向に配置して、該間隔をあけて配置した第1および第4ウェル領域の間の前記第1半導体表面にまで前記相対的に不純物濃度の低い第1導電型の基板の一部分が達するようにした、第2、第3及び第4ウェル領域と、

前記第2ウェル領域内に形成された前記第2導電型の第2ソース領域と、

前記第1半導体表面に配置され、前記第2ソース領域に接続された補助電極手段と、

前記第3ウェル領域内に形成された前記第2導電型の第3ソース領域と、

前記第1半導体表面に配置され、前記第3ソース領域及び注入領域に接続された金属ストラップと、

少なくとも前記第2チャネル領域の上方に配置された、

前記第1半導体表面上の第2ゲート絶縁層手段と、

前記ゲート絶縁層手段の上に配置され、前記第2チャネル領域を覆う第2ゲート電極手段と、

を有するセルであって単一極性ゲート駆動を利用する集積化されたMOSゲート構造のターンオン・セルを更に備える双方サイリスタ。

【請求項8】 MOSゲートによって制御される双方向サイリスタにおいて、

間隔をあけて配置された平行で平坦な第1および第2半導体表面を有する半導体材料のウェハであって、前記第1半導体表面から延びるウェハの厚みの少なくとも一部分は、相対的に不純物濃度の低い第1導電型の基板を含み、前記第2半導体表面から延びるウェハの厚みの少なくとも一部分は、前記第1導電型とは反対の第2導電型のベース領域を含んでいる半導体材料のウェハと、

前記相対的に不純物濃度の低い基板内に形成され、前記第1半導体表面から該第1半導体表面の下方に第1深さまで延びている前記第2導電型の第1ウェル領域と、

前記第1ウェル領域内に形成され、前記第1半導体表面から該第1半導体表面の下方に前記第1深さよりも浅い第2深さまで延びている前記第1導電型の少なくとも一つのボディ領域であって、該ボディ領域が前記ウェル領域から前記第1半導体表面に沿って径方向内側に間隔をおいて配置されることにより、該ボディ領域と前記相対的に不純物濃度の低い基板との間の前記第1半導体表面

に沿って第1チャネル領域が形成されるボディ領域と、

前記ボディ領域内に形成され、前記第1半導体表面から該第1半導体表面の下方に前記第2深さよりも浅い第3深さまで延びている前記第2導電型の少なくとも一つのソース領域であって、該ソース領域が前記第1ウェル領域から前記第1半導体表面に沿って径方向内側に間隔をあけて配置されることにより、該ソース領域と前記第1ウェル領域との間の前記第1半導体表面に沿って第2チャネル領域が形成されるソース領域と、

前記第1半導体表面に配置され、前記ボディ領域および前記ソース領域に接続された第1電極手段と、

少なくとも前記チャネル領域および前記第1ウェル領域に配置された、前記第1半導体表面上のゲート絶縁層手段と、

前記ゲート絶縁層手段の上に配置され、前記チャネル領域および前記ウェル領域を覆うゲート電極手段と、

前記ウェハの前記第1半導体表面から延びている第2導電型の第2ウェル領域であって、前記第1ウェル領域から間隔をあけて横方向に配置された第2ウェル領域

と、

前記第2ウェル領域内に形成された前記第1導電型の少

なくとも一つの相対的に不純物濃度の高い領域と、

前記第1半導体表面に配置され、前記第1導電型の前記相対的に不純物濃度の高い領域と前記第2ウェル領域とに接続された第2電極手段と、を備える双方向サイリスタ。

【請求項9】 請求項8に記載の双方向サイリスタにおいて、

前記第1ウェル領域内に形成された前記第1導電型の第2ボディ領域であって、前記第1ウェル領域の一部分によ

って前記相対的に不純物濃度の低い基板から間隔をあけて配置された第2ボディ領域を更に備え、前記第1電極手段は前記第2ボディ領域と前記第1ボディ領域と前記第1ボディ領域内に形成された前記ソース領域とに接続されている双方向サイリスタ。

【請求項10】 請求項8に記載の双方向サイリスタにおいて、

前記第1ウェル領域内に形成された前記第1導電型の第2ボディ領域であって、前記第1ウェル領域の一部分によって前記相対的に不純物濃度の低いエピタキシャル成

長領域から間隔をあけて配置された第2ボディ領域を更に備え、前記第1電極手段は前記第1ボディ領域と前記第1ボディ領域内に形成された前記ソース領域とに接続され、前記ウェル領域は前記第1ボディ領域の下に配置された不純物濃度の相対的に高い部分と相対的に低い部分を含むプロファイルを有する双方向サイリスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は双方向サイリスタに関し、より詳しくは、単一のMOSゲートによりターンオフを制御することができる単一MOSゲート制御型双方向サイリスタに関する。

【0002】

【従来の技術】バイポーラ導電機構とMOS制御機構とを組み合わせたパワー半導体の構造は周知である。絶縁ゲートバイポーラトランジスタ(IGBT)はかかるデバイスの一例であって、該絶縁バイポーラトランジスタでは、バイポーラ構造体のベース電流が、集積化されたMOSFETを介して制御される。上記IGBTはパワーMOSFETと同様に制御が簡単であり、500ボルトを越える電圧に対してオン時の電圧降下がパワーMOSFETに比較して小さいという利点を有している。IGBTがより高い阻止電圧(>1000ボルト)用として設計されていると、上記IGBTのオン状態の電圧降下は増加する。

【0003】高電圧用のものとしては、IGBTに比較して小さいオン状態での電圧降下を有するサイリスタの構造が開発されており、そのサイリスタの構造ではカソード短絡回路がMOSゲートを介してスイッチされる。MOS制御サイリスタもしくはMCTとして知られており、かつ、1984年12月サンフランシスコで開催のアイトリブルイー・インターナショナル・エレクトロン・デバイス・ミーティング(アイディーエム)のテクニカル・ダイジェスト(IEEE International Electron Device Meeting (IDEM) Technical Digest)の第282頁ないし第285頁におけるテンブル(V. A. K. Temple)による論文に記載されているかかる構造は、単一のMOSゲートによりターンオンおよびターンオフされる。上記MCTは非対称構造を有しており、一つの方向にのみ電流を流すことができるものであるが、MOSによるターンオフ機能を有する双方向サイリスタの構造も開発されている(たとえば、米国特許第4,816,892号および第5,040,042号参照)。かかる双方向サイリスタは交流スイッチングへの応用に有用である。

【0004】従来のMCTや双方向サイリスタでは、低濃度ドーピングしたN型ベース領域(下側のPNPトランジスタのベース領域)が阻止状態に電圧を保持するのに使用される。速いターンオフ特性を得るためには、NPNトランジスタのP型ベースが接地電位に接続されていて、上記PNPトランジスタのN型ベースが高アノード電位に接続されていることが望ましい。しかしながら、上記N型ベースを高いアノード電位に接続するには、デバイスの逆方向阻止機能を破壊するアノード短絡の使用、または、米国特許第4,816,892号および第5,040,042号に開示されているような、デバイスの組立が困難な、デバイスの背後でのMOSゲートの使用が必須である。

【0005】バリガ(Baliga)らの米国特許第4,857,983号は、ウェハの背後のN型拡散領域20を使用することにより、上記した問題点なしに逆導通特性を達成するデバイス(図1参照)を開示している。図1において、十分に正の電位をゲート2に印加してP型ベース14にnチャネルを発生させてこのP型ベースとN型領域とを電気的に結合させた上でカソード電極8と直接接続することで、上記デバイスが順方向(カソードに対してアノードが正の方向)にターンオンされるようになっている。これによりP型層10、N型層12、P型層14およびN型領域7により形成された4層構造体を直列nチャネルMOSFETを通してカソードに接続し、上記構造体はP型層10、N型層12およびP型領域14により形成される固有のPNP型のバイポーラトランジスタに動作ベース駆動電流を供給して、導通状態を繰り返し発生させる。上記ゲート電圧が十分小さくなるかまたは零となると、N型領域7はN型領域8およびカソードと切り離されて非導通となる。

【0006】図1の従来技術のデバイスから明らかなように、N型層12とP型領域14との間の境界、およびN型層12とP型層16との間の境界は上記デバイスの順方向阻止接合部を形成し、阻止電圧の大部分は上記N型層である下側のPNPトランジスタのベース領域に印加される。固有の寄生サイリスタ構造は順方向にP型層10、N型層12、P型領域14およびN型領域8により形成される。

【0007】逆方向(カソード6に対してアノード4が負)であり、上記ゲート構造体2には十分に負の電位が印加されていて全てのMOSゲートが零電位に保持されているときには、P型領域16、N型領域12、P型領域10および背後のN型領域20により形成される4層構造体を通して導通作用が起こる。この4層構造体は、逆方向の導通を繰り返し発生させる。ゲート構造体2へ十分な正の電位を印加すると、P型領域16にnチャネルが形成され、N型層12がN型領域22およびそれに接続されたカソード電極6に短絡されるので、上記4層構造体の導通の繰返しが停止する。P型層16とN型層12との間のPN接合部の短絡はこの接合部からの注入を減少させ、導通の繰返しを中断させる。N型層12とP型層10との間の境界はデバイスの逆方向阻止接合部を形成し、大部分の阻止電圧は上記N型層である上側のPNPトランジスタのベース領域に印加される。

【0008】本発明の双方向サイリスタは、上記従来技術のデバイスと異なり、逆方向阻止機能を破壊するアノード短絡の使用、または、米国特許第4,816,892号および第5,040,042号に開示されているような、デバイスの組立が困難な、デバイスの背後でのMOSゲートの使用が必須である。本発明の双方向サイリスタは、単一のMOSゲートによりターンオフを制御することができる単一MOSゲート制御型双方向サイリスタに関する。

【0008】

【発明が解決しようとする課題】図1のデバイスでは、ワイドベースPNPトランジスタのN⁻型ベース(N⁻型層12)は、上記デバイスが順方向導通状態からターンオフするときに、高いアノード電位に接続されず、したがって、デバイスの順方向ターンオフ特性を劣化させるという不具合がある。また、上記したように、上記デバイスは固有の寄生サイリスタを有しており、該寄生サイリスタは上記順方向導通状態における上記デバイスのMOSゲート制御性能を制限している。

【0009】したがって、寄生サイリスタを有しておらず、かつ改善されたターンオフ特性を有する単一MOSゲート制御型双方向サイリスタが望まれている。

【0010】本発明は、従来サイリスタが有している上記欠点を克服し、上記目的を達成する新規なMOSゲート制御型双方向サイリスタの構造を提供するものである。

【0011】

【課題を解決するための手段】本発明は、順方向阻止状態では下側のPNPトランジスタのコレクタ領域に大部分の阻止電圧を印加するとともに、逆方向阻止状態では上側のPNPトランジスタのコレクタ領域に大部分の阻止電圧を印加することにより上記目的を達成するものである。

【0012】本発明にかかるデバイスは、間隔をおいて配置された平行で平坦な第1および第2半導体表面を有する半導体材料のウェハーの上に形成されている。上記第1半導体表面から下方に延びるウェハーの部分は、相対的に低濃度にドーピングされた第1導電型の基板で構成されていて、接合部が形成されるとその接合部が陥めるようになっている。上記第2半導体表面から上方に伸びるウェハーの部分は、上記第1導電型とは反対の第2導電型のベース領域を含んでいる。

【0013】垂直導電構造の実施の形態では、上記基板領域に形成されるとともに上記第1半導体表面からその下に第1深さに達する第2導電型の単一のウェル領域を含んでいる。上記ウェル領域は、第1半導体表面に沿って径方向内側に間隔をあけて配置され、第1導電型の低濃度ドーピングされた領域内に第1チャンネル領域を形成している。

【0014】上記第1導電型の少なくとも一つのボディ領域は上記ウェル領域に形成されるとともに、上記第1半導体表面から上記第1深さよりも浅い第2深さに達するまで、上記第1半導体表面の下方に伸びている。上記ボディ領域はウェル領域から第1半導体表面に沿って径方向内側に間隔をおいて配置されて、上記ウェル領域にて、上記ボディ領域と低濃度ドーピングされた領域との間の上記第1半導体表面に沿う第2チャンネル領域を形成している。

【0015】上記第2導電型のソース領域は上記ボディ

領域に形成され、上記第1半導体表面からその下に上記第2深さよりも浅い第3深さに延びている。上記ソース領域は上記ウェル領域から第1半導体表面に沿って径方向内側に間隔をおいて配置されて、上記ボディ領域に第3チャンネル領域を上記ソース領域とウェル領域との間で上記第1半導体表面に沿って形成している。

【0016】第1電極が上記第1半導体表面に配置されるとともに、上記ボディ領域およびソース領域に接続されている。上記第1半導体表面上のゲート絶縁層は少なくとも上記チャンネル領域を覆っている。上記ゲート絶縁層の上に配置されたゲート電極は上記チャンネル領域の上に位置している。

【0017】上記第1導電型を有する相対的に高濃度ドーピングされた後方拡散部分は第2導電型のベース領域に形成され、上記第2半導体表面からその一部の上に延びている。上記第2電極は第2半導体表面に配置されるとともに、上記後方拡散部分と第2導電型のベース領域に接続される。

【0018】上記ボディ領域と上記ウェル領域の両方またはいずれか一方は相対的に深く、相対的に高濃度ドーピングされた領域を含むようなものであってもよい。

【0019】いま一つの垂直導電構造の実施の形態では、デバイスが上記ウェル領域に形成された第1導電型の第2ボディ領域を含み、上記第2ボディ領域が上記ウェル領域の一部によって相対的に低濃度ドーピングされた基板領域から隔離されている。上記第1電極は、第1ボディ領域およびソース領域に加えて、第2ボディ領域とも接続されている。この実施の形態では、上記ウェル領域は相対的に深く、相対的に高濃度ドーピングされた部分を含むようなものであってもよい。

【0020】上記各実施の形態において、上記第1導電型がP型もしくはP型半導体材料で、上記第2導電型がN型もしくはN型半導体材料であるときは、上記第1電極はデバイスのカソードであり、上記第2電極はデバイスのアノードである。逆に、上記第1導電型がN型もしくはN型半導体材料で、上記第2導電型がP型もしくはP型半導体材料であるときは、上記第1電極はデバイスのアノードであり、上記第2電極はデバイスのカソードである。

【0021】好ましい実施の形態では、本発明にかかる双方向サイリスタは並列接続されてウェハーに対称に配置された複数のセルの形態を有しており、第1電極は上記ボディ領域および隣接するセルのウェル領域の上に位置するグリッドである。上記セルは好ましくは多角形状を有するものである。上記セルはウェル領域と間隔を有するとともに上記第1半導体表面から延伸している相対的に高濃度ドーピングされた拡散領域を有しており、該相対的に高濃度ドーピングされた拡散領域は隣接するセルの各々のウェル領域の間に配置されている。ターミネーション構造体は完成したデバイスのエッジにて第1お

よび第2半導体表面に設けられる。

【0022】本発明の横方向導電構造の実施の形態では、相対的に高濃度ドーピングされた後方の拡散領域はデバイスの第1半導体表面に移動して、上記第2導電型の第2ウェル領域内に配置されている。上記第2ウェル領域は第1ウェル領域と横方向に間隔を有している。本実施の形態の第2電極は、また第1半導体表面に配置されていて、第2ウェル領域に接続されるとともにその中に含まれている相対的に高濃度ドーピングされた領域に接続されている。第2ウェル領域に隣接したアイソレーション用の溝を設けるようにしてもよい。

【0023】本発明にかかる双方向サイリスタは、集積化されたMOSターンオン・セルをオプションで備えていてもよい。

【0024】本発明の構成において、たとえば、P型の導電性を有する低濃度ドーピングされた基板領域（それはP型ボディ領域、N型ウェル領域およびP型基板からなる上側のPNPトランジスタのコレクタ領域を形成し、それはまたP型後方拡散部、N型ベースおよびP型基板からなる下側のPNPトランジスタのコレクタ領域を形成しており、それはまた、上記N型ウェル領域、上記P型基板および上記N型ベース領域からなる下側のNPNTトランジスタのベース領域を構成している）は、順方向と逆方向の両方で電圧を受けるために使用されている。この構造により、順方向導通状態からターンオフする間に上記PNPトランジスタのN型ベース（N型ベース領域）と上記NPNTトランジスタの広いP型ベース（P型基板）との両方にアクセスできるようになる。順方向導通状態からターンオフする間に、上記PNPトランジスタのN型ベースはアノード電位に接続され、上記NPNTトランジスタのP型ベースはカソード（接地）電位に接続される。これにより、本発明では順方向における速いターンオフ特性を得ることができる。本発明の構成では、順方向および逆方向のいずれにおいても固有の寄生サイリスタを有しないという利点がある。つまり、本発明は上記したことを達成するばかりでなく、逆方向においてゲート制御ターンオンを行うようになっている。

【0025】したがって、本発明は、寄生サイリスタ構造もなく、背後側にゲートもなく、順方向における速いターンオフ特性を有し、順方向における電流飽和を有し、単一のゲート電極を有するMOSゲート制御型双方向サイリスタの構造を初めて提供するものである。

【0026】

【発明の実施の形態】本発明の他の特徴および利点は、添付の図面を参照して説明する本発明の以下の説明から明らかとなる。

【0027】本発明にかかる単一MOSゲート制御型双方向サイリスタの構造の第1の実施の形態が図2に示されている。以下の説明から明らかになるように、本発明

にかかる双方向サイリスタは、図1に示された従来のデバイスと同様に、基本的にnチャネルMOSFETと直列のPNPNサイリスタからなっている。しかしながら、従来のデバイスでは、下側のPNPトランジスタは広いN型ベースを有するPNPトランジスタである。これに対して、本発明に係るデバイスでは、以下に説明するように、下側のPNPトランジスタは狭いN型ベース、広いP型コレクタを有するものである。

【0028】図2に示すように、本発明に係る双方向サイリスタ110はP型基板118に構成された垂直導電構造のデバイスである。高い不純物濃度を有するP⁺⁺型領域116はP型基板118の下に配置されたN型ベース層114の下側の一部に形成されている。上記デバイスの下面のアノード112はN型ベース層114とP⁺⁺型領域116との両方に接触する。

【0029】N型層114およびP⁺⁺型層116は、好ましくはP型基板118に後方拡散により形成される。N型ウェル領域120がP型基板層118内に配置され、以下にさらに詳細に説明するように、デバイスのnチャネルMOSFETのドレインを形成する。（上記MOSFETのチャネル領域を形成する）P型ボディ領域122はN型ウェル領域120内に配置され、（上記MOSFETのソースを形成する）高不純物濃度のN⁺⁺型領域124はP型ボディ122内に配置されている。P型ボディ122は、図2に示すように、好ましくは相対的に高濃度ドーピング（すなわち、P⁺）してある。

【0030】上記デバイスの第1半導体表面上のカソード電極126はP型ボディ122とN⁺⁺型ソース領域124の少なくとも一部との両方を覆う。酸化物層129により上記デバイスの第1半導体表面と絶縁された、好ましくはポリシリコンを含むゲート128は、P型ボディ122、N型ウェル領域120およびP型エピタキシャル層118の上に位置している。

【0031】図2に示されたデバイス110の動作は次の通りである。順方向（アノードからカソードへ電流が流れる方向、すなわち、図2において上に向かう方向）では、サイリスタ110はカソード126に対して正の電圧をゲート128に印加するとともにアノード112に十分に高い電圧を印加することにより、またフォト（光）エネルギーを印加することにより、またSCRをトリガするために使用されている他の周知の方法により、オン状態にトリガされる。サイリスタ110は、カソード126に対してゲート128を十分に正の電圧に維持することによりオン状態に保持される。ゲート128の正の電圧は、P型ボディ122に反転nチャネルを生じさせ、該nチャネルがN型ウェル領域120をN⁺⁺型領域124に接続するのに十分な大きさを有し、それにより上記MOSFETがオン状態に保持され、反転したチャネルを通して導電が行われ、サイリスタのターンオンが持続するのに十分なものでなければならない。した

がって、順方向モードのサイリスタ電流は、P⁺型後方拡散領域116、N型ベース層114、P⁻型基板118、N型ウェル領域120により形成されたPNPNサイリスタを通して、かつ、N型ウェル領域120、P⁺型ボディ122およびN⁺型領域124により形成される導通MOSFETを通してアノード112からカソード126に流れる。

【0032】上記デバイスをターンオフさせるために、カソード126に対してゲート128に十分に負の電圧が印加されると、N型ウェル領域120が反転されてP⁻型基板層118がカソード126の接地電位に接続され、再生電流を転流させてサイリスタ110をターンオフさせる。

【0033】順方向阻止電圧はP⁻型基板層118とN型ベース層114との面に平行な接合部により受けられ、上記P⁻型基板層118の不純物のドーピング量および厚みにより主として決定される。トライアックに使用されているものと同様のエッチ・カンター・ターミネーション(Etch Contour Termination)もしくはベベル・エッジ・ターミネーション(Bevel Edge Termination)を、表面電界を削減して降伏電圧を改善するのに用いることができる。かかるターミネーションに関しては、プロシーディングス・オブ・アイイーイー(Proceedings of IEEE)の第129巻、第1部、第5号の第173頁ないし第179頁、1982年10月、におけるベリガ(B. J. Baliga)著の「High-Voltage device termination techniques-A comparative review (高電圧デバイスのターミネーション技術 - 比較論)」を参照文献として挙げておく。

【0034】逆方向(カソードからアノードへの電流の導通、すなわち図2において下方に向かう方向)の場合には、サイリスタ110が、カソード126に対してゲート128に負の電圧を印加することによってターンオンされる。ゲート128の上記負の電圧は、P型反転チャネルがP⁻型基板層118をP⁺型ボディ領域122に接続するのに十分なものでなければならない。これによりP⁻型層118を高電位に接続し、P⁻型層118に対してN型層114を順方向バイアスしてキャリアの注入を行い、それによりサイリスタ110にターンオン状態を維持させる。サイリスタ110が逆方向導通モードにトリガされると、ゲート128の電圧はカソード126の電位に減少する。逆方向モードのサイリスタ電流は、P⁺型ボディ122、N型ウェル領域120、P⁻型基板層118、およびN型ベース層114により形成されるPNPNサイリスタを通してカソード126からアノード112へ流れる。N⁺型領域124およびP⁺型後方拡散領域116は上記逆導電モードでは不活性であることに注目すべきである。

【0035】逆方向において上記デバイスをターンオフさせるため、カソード126に対して十分に正の電圧がゲート128に印加されると、N型ウェル領域120が

P⁺型ボディ122内のN型反転チャネルを通してカソード126の電位に接続される。これにより、PNPトランジスタのベースであるN型ウェル領域120をエミッタであるP型ボディ122に短絡し、サイリスタ110をターンオフさせる。上記N型ウェル領域120の拡散抵抗およびP⁺型ボディ122のN型反転チャネルの抵抗は、上記逆方向においてターンオフすることができる最大電流を決定する。上記逆阻止電圧はP⁻型基板層118とN型ウェル領域120との接合部により受けられ、P⁻型基板層118のドーピング量と厚みにより決定されるとともに、採用されているターミネーション構造(termination structure)により決定される。たとえばN型不純物がドーピングされた浮遊フィールドリングおよびフィールド・プレートのような、標準的な高電圧デバイスのターミネーション構造を使用することもできる。前に説明したように、エッチ・カンター・ターミネーション(Etch Contour Termination)もしくはベベル・エッジ・ターミネーション(Bevel Edge Termination)を使用することもできる。

【0036】図3は、図2のデバイスの特性、すなわち種々のゲート電圧についてデバイスに印加される電圧に対して上記デバイスを流れる電流をプロットした図2のデバイスの特性を示している。上記デバイスはトライアックの双方向特性を有するとともに、ゲート制御ターンオフ特性を有していることが分かる。

【0037】図4に、本発明のいま一つの実施の形態の断面図を示す。順方向では、この実施の形態のデバイスはnチャネルMOSFETと直列のPNPNサイリスタから構成されており、逆方向では、MOSゲート制御部を有するNPNNサイリスタから構成されている。双方向サイリスタ140はN型ベース領域144を有するP型基板148とN型ベース領域144中に配置されたP⁺型後方拡散領域146を含んでいる。上記デバイスの下面のアノード142はN⁺型ベース層144とP⁺型後方拡散領域146の両方を覆っている。カソード158は上記デバイスの上面に位置している。

【0038】N型層144およびP⁺型層146は、P型基板148に後方拡散することにより形成される。P⁻型基板層148内に配置されているN型ウェル領域150はnチャネルのMOSFETのドレインを形成しており、該MOSFETは以下にさらに詳細に説明するように、上記デバイスを制御する。一対の横方向に間隔を有して配置されたP型ボディ領域152、154(好ましくは、相対的に高い不純物濃度を有する、P⁺型領域)がデバイスの第1の面にてN型ウェル150内に配置されている。P⁺型ボディ領域154は上記nチャネルMOSFETの「チャネル」領域を形成しており、該MOSFETは上記デバイスを制御するのに使用されている。高い不純物濃度を有するN⁺型領域156(上記nチャネルMOSFETのソースを形成している)は、P⁺型ボデ

ィ154内に配置されている。

【0039】ポリシリコン絶縁ゲート160はグリッド(図示せず)の形をなすように上記デバイスの第1半導体表面に設けられ、該グリッドはN⁺型領域156、P⁺ボディ154、N型ウェル領域150およびP⁺型ボディ152の上に位置する第1のセクションを含んでいる。該第1のセクションに電気的に接続された、ゲート160の第2のセクションは、P⁺型ボディ152、N型ウェル領域150およびP⁺型基板148の上に位置している。

【0040】図4に示されるデバイス140の動作は次の通りである。順方向導通(アノードからカソードへの導通、すなわち図4において上方への導通)の場合、サイリスタ140は図2の単一ゲートの実施の形態と同じように動作する。したがって、図2の実施の形態と同様に、上記デバイスは、カソード158に対して正の電圧をゲート160に印加するとともに、十分に高い電圧をアノード142に印加するか、フォト(光)エネルギーを印加するか、またはSCRをトリガするために使用される他の周知の方法を用いることにより、オン状態にトリガされる。サイリスタ140は、カソード158に対してゲート160を十分に正の電圧に維持することにより、P⁺型ボディ154に反転nチャネルを生じさせることによってオン状態に保持される。このnチャネルMOSFETがオンすると、N型ウェル領域150がN⁺型領域156に接続され、上記デバイスを通して導通が生じるようになる。

【0041】図4のデバイスは、カソード158に対して十分に負の電圧をゲート160に印加し、アノード142に負の電圧を印加することにより、逆モードのオン状態にトリガされる。ゲート160の負電圧はN型ウェル領域150に反転pチャネルを発生させ、該pチャネルはP⁺型基板148をP⁺型ボディ152に接続し、N型ベースとP⁺型基板との接合部を順方向にバイアスして上記サイリスタをターンオン状態にラッチする。上記デバイスは逆方向ではP⁺型領域152、N型ウェル領域150、P⁺型基板148およびN型ベース層144を通してカソードからアノードに流れる電流により、実質的にMCTのように動作する。図2の実施の形態と同様に、N⁺型領域156およびP⁺型後方拡散領域146は逆導電モードにおいて不活性である。また上記したように、ゲート160に十分に正の電圧を印加すると、サイリスタ140は上記逆導電モードからターンオフされる。

【0042】本発明の更なる実施の形態が図5に示されている。この実施の形態は、構造的には図4の双方向サイリスタ140と同様であるが、ドーピングと電流の流れが反対となっている。このため、図5の実施の形態では、アノード182はそのデバイスの上面を覆い、カソード184はそのデバイスの底面を覆っている。アノード

182はカソード184に対して正で、絶縁ゲート186に十分に負の電圧が印加されると、電流は、P⁺型領域188を通り、N⁺型ボディ190内に形成されたnチャネルを通り、そして、P型ウェル192、N⁺型基板194、P型ベース層196及びN⁺型後方拡散198を通して、アノードからカソードへと順方向に下向きに流れる。逆方向導通の場合は、アノード182がカソード184に対して負で、絶縁ゲート186に十分に正の電圧を印加してP型ウェル192を反転させると、電流は、P型ベース層196、N⁺型基板194、P型ウェル192及びN⁺型ボディ191を通して、カソードからアノードへと流れる。

【0043】図6及び7は、それぞれ、図4及び5の実施の形態と構造的に類似するが、ウェル領域に深くて不純物濃度の高い部分を更に含む実施の形態の断面図を示している。図6のN型ウェル150は深いN⁺部分151を含み、図7のP型ウェルは深いP⁺部分193を含んでいる。図4及び5に示されたデバイスは容易に製造できる。図6及び7に示されたデバイスは、ウェルの深い部分のために余分に不純物の拡散を施す必要があるが、上部トランジスタのエミッタ注入効率(emitter-injection efficiency)が高いため、順方向におけるより良好なON状態電流導通特性(on-state current conduction characteristics)を有するという利点がある。

【0044】図8においてカソード金属のP⁺型ボディ領域152への接触が取り除かれ、図9においてアノード金属のN⁺型ボディ領域191への接触が取り除かれている点を除き、図8及び9は、構造的に図6及び7の実施の形態にそれぞれ類似した実施の形態の断面図を示している。図8及び9に示されたデバイスは、順方向及び逆方向の双方においてオン状態の電流飽和特性(on-state current saturation characteristics)を有するという利点がある。しかし、図8及び9に示したデバイスは、それぞれ、P型ボディ154-N型ウェル150-P⁺型基板148-N型ベース領域144、及び、N⁺型ボディ190-P型ウェル192-N⁺型基板194-P型領域196によって形成される逆方向の寄生サイリスタを有している。ウェル領域内の深くて不純物濃度の高い部分は、逆方向の寄生サイリスタのラッチアップの抑制を助け、また、上部トランジスタのエミッタ注入効率の増加を助ける。

【0045】図6及び7に示されたデバイスは、エミッタ注入効率を増大させ、順方向におけるオン状態での電圧降下を低減するために、ウェルの深い部分に不純物を余分に拡散する必要がある。図10及び11に示された別の実施の形態は、ウェルの深い部分に対する余分の不純物拡散を用いることなく、エミッタ注入効率の増大及びオン状態での電圧降下の低減を達成する。図10に示されたデバイスは、P⁺型基板248の上にN⁺型層253を有している。N⁺型層253は、N⁺型ソース領

域256を作製するときに同一の工程(process steps)で形成することができる。図11に示されたデバイスは、P⁺型領域288を作製するときに同一の工程で形成することができるP⁺型層295を有している。

【0046】本発明の双方向サイリスタは、米国特許第5,008,725号において開示されたものに類似したセルの形態(cellular topology)で提供されることが好ましい。図2は、各実施の形態のセルの半分を示している。各場合における単位セル全体は、左側にその構造の鏡像を付け加えることにより得ることができる。したがって、例えば、図2の実施の形態の単位セル全体は、図12に示されたものとなる。本発明は、米国特許第5,008,725号において示されたパワーMOSの設計に類似したターミネーション構造(termination structure)の単一チップ上に、多数のこれらの単位セルを多角形状でかつ並列に接続された形で提供することにより、好ましい実施の形態として実現している。したがって、ゲート128は、隣接セルのチャネル領域、及び、それらの間の「共通導通領域」を覆うポリシリコンのグリッドを有することになる。

【0047】図13は、図12に代わるセル構成を示している。この構成では各ボディ領域が相対的に深いP⁺型ボディ領域123を有しており、米国特許第4,642,666号において示されたパワーMOSの設計に類似したものとなっている。図14は、構造的に図13のセルの設計と同じであるが、ドーピング及び電流の流れが反対であり、相対的に深いN⁺型ボディ領域223を有する実施の形態を示している。図13及び14を米国特許第4,642,666号および第5,008,725号において示されたMOSFETセルの断面と比較すると、本発明はこれらに類似しているが、下記の点で異なっているのが明らかになるであろう。すなわち、

- 1) 本発明における不純物濃度の低いドリフト層(図13及び14において、それぞれ参照符号118、218で示している)は、パワーMOSFETとは反対の導電型の材料から作製される点、
- 2) 本発明は、ベース領域を取り囲むウェル領域(図13及び14において、それぞれ参照符号120及び220で示している)を有する点、及び、
- 3) 本発明は、後方拡散(図13及び14において、それぞれ参照符号116及び216で示している)を有する点。

【0048】図15は、図13の導電極性を有する本発明の好ましいセル構成の広範囲の断面図を示しており、同じ構成部品には同じ参照符号を用いて示している。同図においては、本発明における基本となる単位セルがウェハの表面全体に亘って繰り返して複数配置されてセル群をなしており、このセル群全体を参照符号130を以て示す。二つのセル群の上面図が図16及び17に示されている。図15に示されているように、N⁺型拡散

領域132を隣接するN型ウェル領域120の間においてP⁺型基板層118の中に設けてもよい。N⁺型拡散領域132は所望に応じて設けられるものであって、用いることにより順方向導通モードにおいてNPNトランジスタのエミッタ注入効率を増加させることができる。他のオプション(図示せず)としては、P型ボディ122の下いくつかのセル領域内に埋め込みN⁺型領域を設けることが考えられる。

【0049】図15に示したように、半導体ウェハの縁には複数のターミネーション・リング(termination rings)が設けられている。特に、ウェハの上面の縁には、逆方向阻止接合部のための複数のN型ターミネーション・リング134が設けられている。一方、ウェハの底面の縁には、順方向阻止接合部のためのカンター・エッジ・ターミネーション(Contour Edge Termination)136が設けられている。参照符号138で示したフィールド酸化物層及びLTO(低温酸化物)が、ウェハの上面及び底面に設けられている。

【0050】本発明の双方向サイリスタは、横方向導通構造で提供することもできる。そこで、例として図18に、本発明の図5の実施の形態の横方向導通構造を示す。順方向(カソードに対してアノードが正)においては、N型ボディ314内にpチャネルを発生させるためにアノードに対して十分に負の電圧が絶縁ゲート310に印加されると、電流は、P⁺型ソース313、N型ボディ314内のpチャネル、P型ウェル316を通り、N⁺型エピタキシャル層318を横切り、P型ウェル317及びN⁺型領域322を通過して、アノード312からカソード319へと流れる。逆方向(カソードに対してアノードが負)においては、P型ウェル316内にnチャネルを発生させるためにアノードに対して十分に正の電圧が絶縁ゲート310に印加されると、電流は、P型ウェル317、N⁺型エピタキシャル層318、P型ウェル316、及びN型ボディ315を通過して、カソード319からアノード312へと流れる。このセルをチップ上の他のセルから分離するために、カソード319の下このセルの右側のP型基板320内にP⁺型領域324が形成されている。

【0051】本発明の横方向導通構造の第2の実施の形態を図19に示す。この実施の形態は図18の実施の形態に類似しているが、P⁺型領域324の代わりにトレッチ分離部330を有しており、同一チップ上の他のパワーデバイス及び制御デバイスからサイリスタを分離しなければならないパワーICの用途に特に適している。

【0052】図20は、図4の垂直導通構造の実施の形態と同じ構造を持っている本発明の実施の形態を示すが、これも、集積化されたMOSゲートによる順方向ターンオン・セルを有している。このターンオン・セルは、ウェハの上面から下方に延びるP型ボディ172を取り囲むN型ウェル170によって構成され、このN型ウ

エル170はN型ウェル150から間隔をあけて配置されている。補助電極174が、ウェハの上面に設けられており、P型ボディ172と接触している。第2の絶縁ゲート176もウェハの上面に設けられており、ゲート176は、ウェハの上面まで延びるN型ウェル150の部分、間隔をあけて配置されたN型ウェルの間のウェハの上面まで延びるP型基板148の部分、ウェハの上面まで延びるN型ウェル170の部分、及び、ウェハの上面まで延びるP型ボディ172の部分の少なくとも縁を覆っている。

【0053】図20のデバイスの動作の際には、補助電極174は、カソード158の電位よりも僅かに（例えば1ボルト）高い電位にバイアスされる。これにより、MOSゲート制御を利用して（すなわち、P型ボディ154内にnチャネルを発生させるためにカソード158に対して十分に正の電位をゲート160に印加することにより、及び、N型ウェル170内にpチャネルを発生させるためにカソード158に対して十分に負の電位をゲート176に印加することにより）、サイリスタを順方向（カソードに対してアノードが正）にトリガできるようにする。

【0054】図21は、順方向（カソードに対してアノードが正、カソード158に対してゲート160が正、及び、アノード142に対してゲート176が負）へのMOS制御によるターンオンを可能にした別の構造の断面を示している。この構造は、図4の垂直導通構造のサイリスタとともに、図18及び19の実施の形態のような横方向導通構造のサイリスタを有している。

【0055】単一極性のゲート駆動を利用した他の構造も可能である。例えば、図20に示された構造を図22に示すように変形することができ、ここでは、N型ウェル170が、隔離配置したN型ウェル171と173との対置き換えられており、N型ウェル173内にP型ボディ175が、N型ウェル171内にN⁺⁺型領域177が、それぞれ形成されている。P型ボディ175及びN⁺⁺型領域177は、その半導体ウェハの上面の浮遊金属ストラップ179によって電気的に接続されている。

【0056】図22のデバイスの動作の際には、補助電極174は、カソード158の電位よりも僅かに（例えば1ボルト）高い電位にバイアスされる。これにより、MOSゲート制御を利用して（すなわち、P型ボディ154内およびN型ウェル173と171との間のP型領域148内にnチャネルを発生させるためにカソード158に対して十分に負の電位をゲート160に印加することにより）、サイリスタを順方向（カソードに対してアノードが正）にトリガできるようにする。これにより、P型領域148は、P型ボディ175を通り、金属ストラップ179を通り、N⁺⁺型領域177を通り、N型ウェル173と171との間のP型領域14

8内のnチャネルを通り、N⁺⁺型領域177を通して、補助電極174の電位に近い電位に設定される。これにより、P型領域148とN型ウェル150との接合が順方向にバイアスされてキャリアが注入され、サイリスタがトリガされる。

【0057】電流ターンオンゲートを利用した他の構造もまた可能である。例えば、図20に示された構造を図23に示すように変形することができ、ここでは、N型ウェル170及びMOSゲート176が除去されている。図23のデバイスの動作の際には、補助電極274が電流をP型基板148に注入するために用いられる。これにより、N型ウェル150、P型基板148、及びN型領域144によって形成された上部NPNトランジスタにベース駆動電流が供給され、ゲート制御を利用して（すなわち、P型ボディ154内にnチャネルを発生させるためにカソード158に対してMOSゲート160を十分に正とし、サイリスタをトリガしてオン状態とするためにゲート274に電流をP型基板148へ注入させること）により、順方向（カソードに対してアノードが正）にサイリスタをトリガしてオン状態にできるようにする。

【0058】以上では本発明を特定の実施の形態に関連づけて説明したが、当業者にとっては他の変形や他の用途が容易にわかるであろう。したがって、本発明は、ここでの特定の開示内容によって制限されるものではなく、添付された請求の範囲によってのみ制限されるべきである。

【図面の簡単な説明】

【図1】 米国特許第4,857,983号に開示された従来のデバイスの断面図である。

【図2】 本発明にかかる3端子型双方向サイリスタのデバイスの構造を示す断面図である。

【図3】 図2の3端子型双方向サイリスタのデバイスの特性図である。

【図4】 2つの異なるタイプのセルを有する本発明の一つの実施の形態の断面図である。

【図5】 N型層を全てP型に変えるとともにP型層を全てN型に変えた図4のサイリスタの構造の断面図である。

【図6】 深いウェル拡散部を有する図4のサイリスタの構造の断面図である。

【図7】 深いウェル拡散部を有する図5のサイリスタの構造の断面図である。

【図8】 順方向と逆方向の両方において電流飽和特性を有する本発明の実施の形態の断面図である。

【図9】 N型層を全てP型に変えるとともにP型層を全てN型に変えた図8のサイリスタの構成の断面図である。

【図10】 ウェルの深い部分のための追加の拡散を必要としない本発明の実施の形態の断面図である。

【図11】 N型層を全てP型に変えたとともにP型層を全てN型に変えた図10のサイリスタの構造の断面図である。

【図12】 図2のサイリスタの1セル全体の断面図である。

【図13】 深いボディ構造を有する図2のサイリスタの1セル全体の断面図である。

【図14】 N型層を全てP型に変えたとともにP型層を全てN型に変えた深いボディ構造を有する図2のサイリスタの1セル全体の断面図である。

【図15】 図13の導電極性を有する本発明の好ましいセル構成の広範囲の断面図である。

【図16】 実際のデバイスを構成するためにアレー状に繰り返し配列してなるセル群の上面図である。

【図17】 実際のデバイスを構成するためにアレー状に繰り返し配列してなるいま一つのセル群の上面図である。

【図18】 本発明の横方向導通構造の実施の形態の断面図である。

【図19】 トレンチ分離部を有する他の横方向導通構造の実施の形態の断面図である。

【図20】 集積化されたMOSゲート構造の順方向ターンオン・セルを有する本発明の実施の形態の断面図である。

【図21】 順方向においてMOS制御ターンオンを行ういま一つの構成の断面図である。

【図22】 単一のゲート電極を有する集積化されたMOSゲート構造の順方向ターンオン・セルを有する図2 *

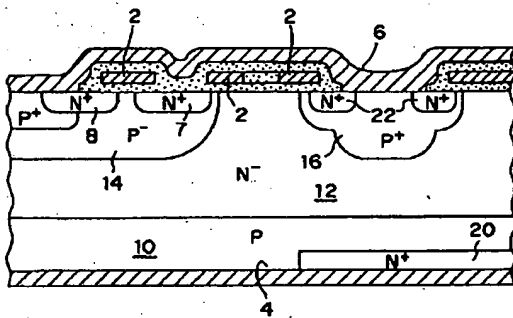
* 0の実施の形態の変形された実施の形態の断面図である。

【図23】 電流ターンオン・ゲートを利用した図20の実施の形態の変形された実施の形態の断面図である。

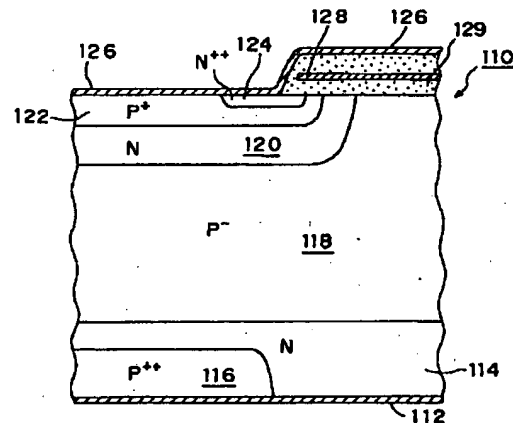
【符号の説明】

- 110 双方向サイリスタ
- 112 アノード
- 114 N型ベース層
- 116 P⁺⁺型領域
- 118 P⁻型基板
- 120 N型ウェル領域
- 122 P型ボディ領域
- 124 N⁺⁺型領域
- 126 カソード電極
- 128 ゲート
- 129 酸化物層
- 140 双方向サイリスタ
- 142 アノード
- 144 N⁻型ベース層
- 146 P⁺⁺型後方拡散領域
- 148 P型基板
- 150 N型ウェル領域
- 152 ボディ領域
- 154 P⁺型ボディ領域
- 156 N⁺⁺型領域
- 158 カソード
- 160 ポリシリコン絶縁ゲート

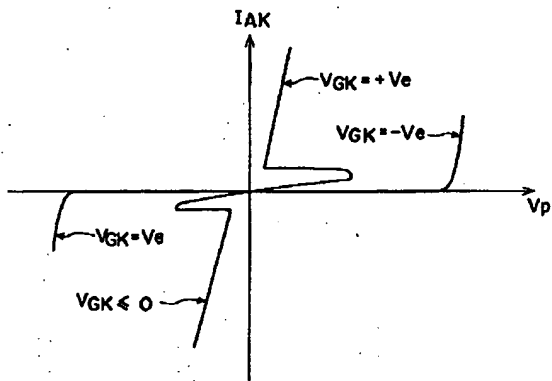
【図1】



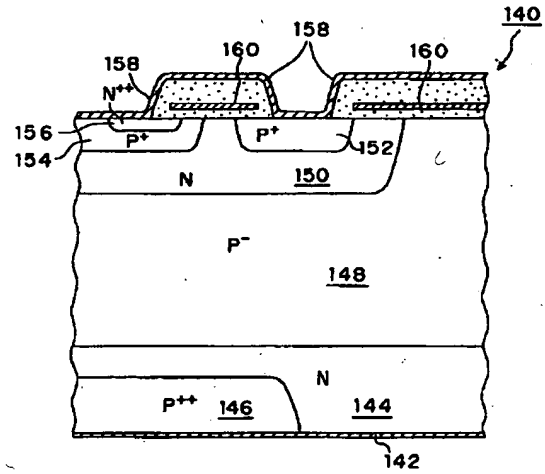
【図2】



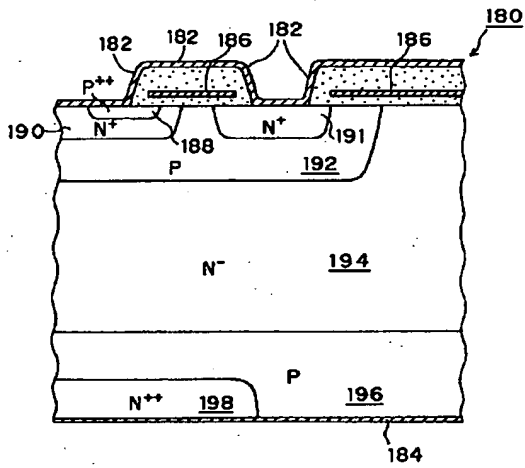
【図3】



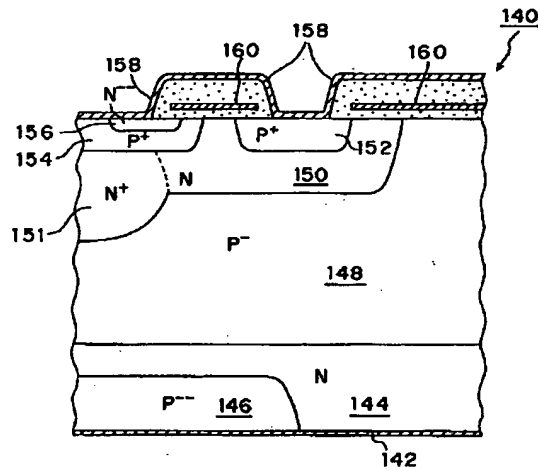
【図4】



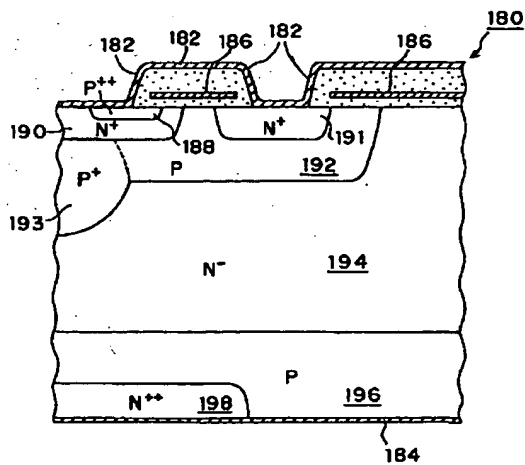
【図5】



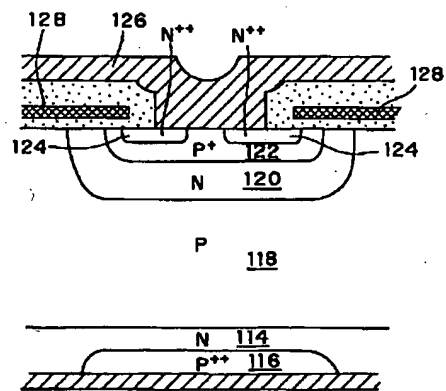
【図6】



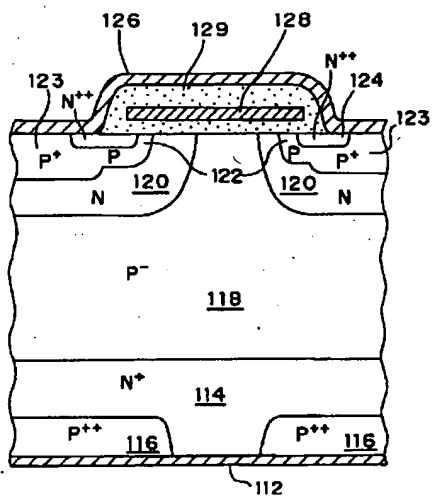
【図7】



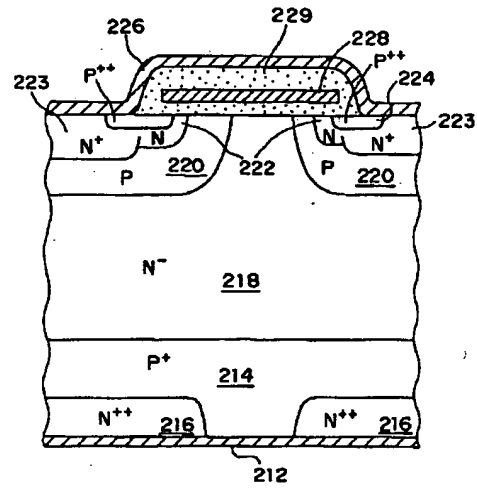
【図12】



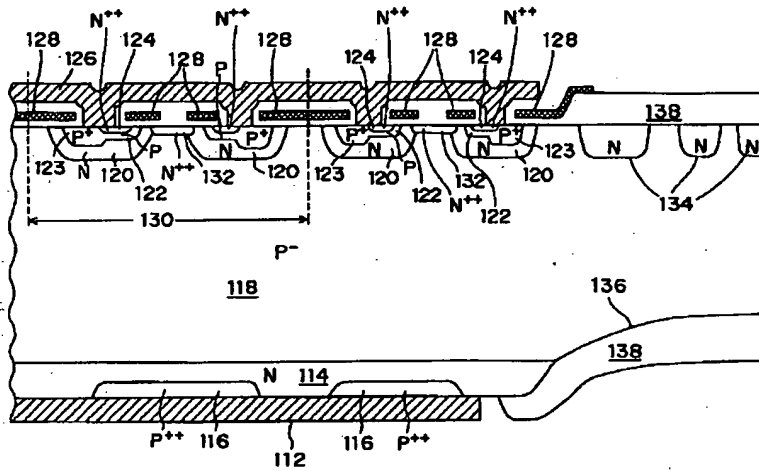
【図13】



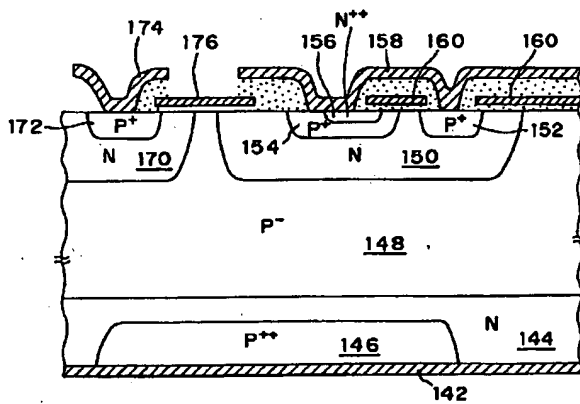
【図14】



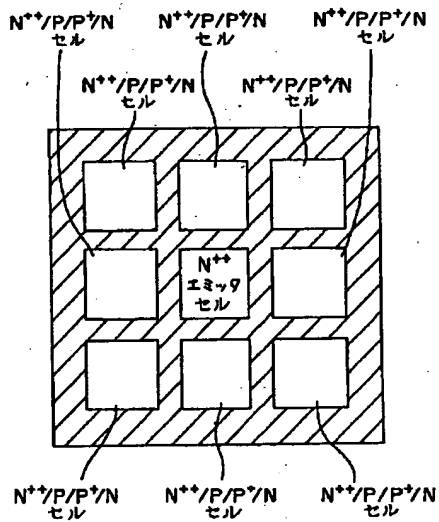
【図15】



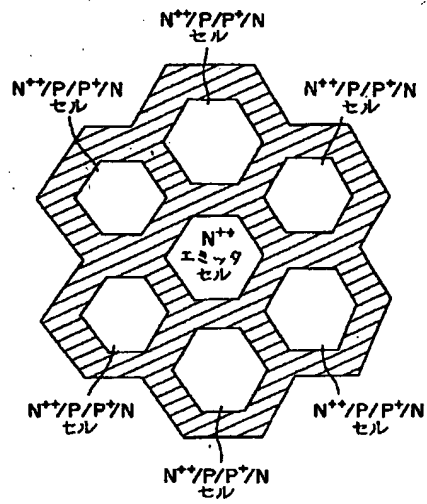
【図20】



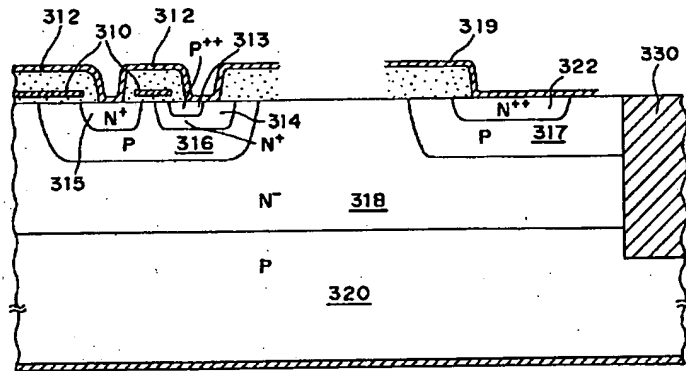
【図16】



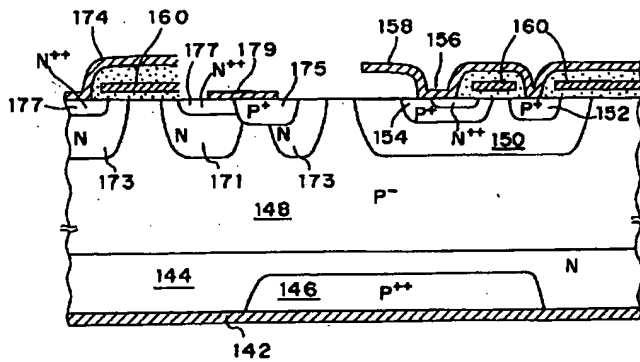
【図17】



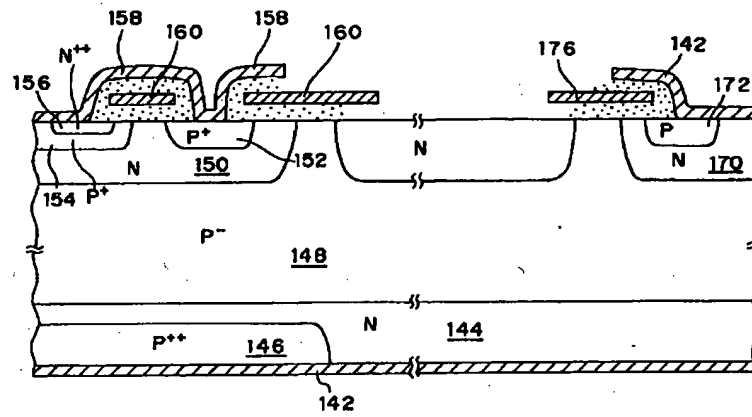
【図19】



【図22】



【圖 21】



【圖23】

